

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150522
 (43)Date of publication of application : 30.05.2000

(51)Int.Cl. H01L 21/3205
 H01L 21/768

(21)Application number : 2000-006049 (71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP

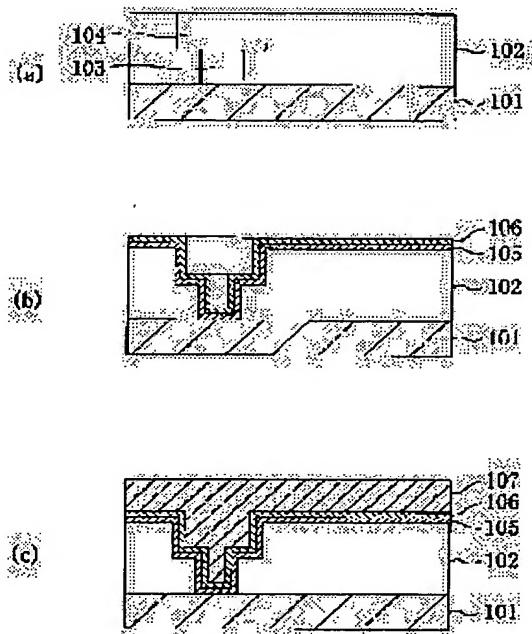
(22)Date of filing : 12.01.1998 (72)Inventor : SEKIGUCHI MITSURU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable semiconductor device that has buried wiring with superior electromigration resistance.

SOLUTION: A contact hole 103 and a recessed groove 104 for wiring are formed on an interlayer insulation film 102 being deposited on a semiconductor substrate 101, and a TiN/Ti film 105 being used as a diffusion prevention film is formed on the wall surfaces of the contact hole 103 and the recessed groove 104. A copper alloy film 106 made of Cu-Sn alloy, Cu-Mg alloy, or Cu-Zr alloy is deposited on the TiN/Ti film 105 by the sputtering method, and a copper film 107 is deposited on the copper alloy film 106 by the CVD method or the plating method. By heat treatment, Sn, Mg, or Zr contained in the copper alloy film 106 is diffused into a copper film 107 for forming the copper alloy film where the Sn, Mg, or Zr is contained in Cu, the copper alloy film is subjected to the CMP method, and contact consisting of the copper alloy film where the Sn, Mg, or Zr is contained in the Cu and buried wiring are simultaneously formed.



LEGAL STATUS

[Date of request for examination] 20.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3540699

[Date of registration] 02.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150522

(P2000-150522A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷
H 01 L 21/3205
21/768

識別記号

F I
H 01 L 21/88
21/90

テマコト[®] (参考)
M
R
C

審査請求 有 請求項の数3 OL (全9頁)

(21)出願番号 特願2000-6049(P2000-6049)
(62)分割の表示 特願平10-4004の分割
(22)出願日 平成10年1月12日(1998.1.12)

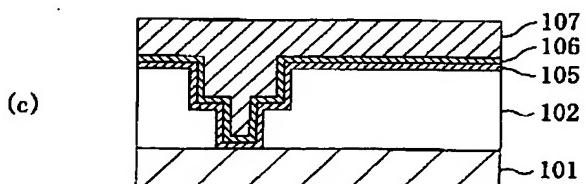
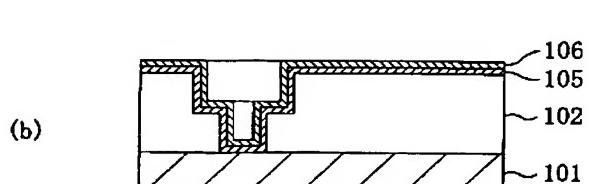
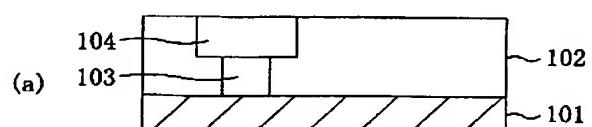
(71)出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72)発明者 関口 満
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 エレクトロマイグレーション耐性に優れた埋め込み配線を有する信頼性の高い半導体装置を提供する。

【解決手段】 半導体基板101の上に堆積された層間絶縁膜102にコンタクトホール103及び配線用凹状溝104を形成した後、コンタクトホール103及び配線用凹状溝104の壁面に拡散防止膜となるTiN/Ti膜105を形成する。TiN/Ti膜105の上にスパッタ法により、Cu-Sn合金、Cu-Mg合金又はCu-Zr合金からなる銅合金膜106を堆積した後、該銅合金膜106の上にCVD法又はメッキ法により銅膜107を堆積する。熱処理により銅合金膜106に含まれるSn、Mg又はZrを銅膜107に拡散させてCu-Sn、Cu-Mg又はCu-Zrが含有されてなる銅合金膜を形成した後、該銅合金膜に対してCMP法を行なって、Cu-Sn、Cu-Mg又はCu-Zrが含有されてなる銅合金膜よりなるコンタクト及び埋め込み配線を同時に形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板上に堆積された層間絶縁膜に配線用凹部を形成する凹部形成工程と、

スパッタ法により、前記配線用凹部を含む前記層間絶縁膜の上に全面に亘ってCu-Sn合金である第1の金属よりなり表面が(111)面に配向している第1の金属膜を形成することにより、前記配線用凹部の壁面に前記第1の金属膜を形成する第1の金属膜形成工程と、

CVD法又はメッキ法により、前記第1の金属膜の上に全面に亘ってCuからなるか又はCuを主成分とする第2の金属よりなり表面が(111)面に配向している第2の金属膜を前記配線用凹部が埋め込まれるように形成する第2の金属膜形成工程と、

前記半導体基板に対して熱処理を行なって前記第1の金属膜に含まれているSnを前記第2の金属膜に拡散させた後、前記層間絶縁膜の上に露出している前記第1の金属膜及び第2の金属膜を除去することにより、CuにSnが含有された銅合金よりなる埋め込み配線を形成する埋め込み配線形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に堆積された層間絶縁膜に配線用凹部を形成する凹部形成工程と、

スパッタ法により、前記配線用凹部を含む前記層間絶縁膜の上に全面に亘ってCu-Mg合金である第1の金属よりなり表面が(111)面に配向している第1の金属膜を形成することにより、前記配線用凹部の壁面に前記第1の金属膜を形成する第1の金属膜形成工程と、CVD法又はメッキ法により、前記第1の金属膜の上に全面に亘ってCuからなるか又はCuを主成分とする第2の金属よりなり表面が(111)面に配向している第2の金属膜を前記配線用凹部が埋め込まれるように形成する第2の金属膜形成工程と、

前記半導体基板に対して熱処理を行なって前記第1の金属膜に含まれているMgを前記第2の金属膜に拡散させた後、前記層間絶縁膜の上に露出している前記第1の金属膜及び第2の金属膜を除去することにより、CuにMgが含有された銅合金よりなる埋め込み配線を形成する埋め込み配線形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に堆積された層間絶縁膜に配線用凹部を形成する凹部形成工程と、

スパッタ法により、前記配線用凹部を含む前記層間絶縁膜の上に全面に亘ってCu-Zr合金である第1の金属よりなり表面が(111)面に配向している第1の金属膜を形成することにより、前記配線用凹部の壁面に前記第1の金属膜を形成する第1の金属膜形成工程と、

CVD法又はメッキ法により、前記第1の金属膜の上に全面に亘ってCuからなるか又はCuを主成分とする第2の金属よりなり表面が(111)面に配向している第2の金属膜を前記配線用凹部が埋め込まれるように形成

2

する第2の金属膜形成工程と、

前記半導体基板に対して熱処理を行なって前記第1の金属膜に含まれているZrを前記第2の金属膜に拡散させた後、前記層間絶縁膜の上に露出している前記第1の金属膜及び第2の金属膜を除去することにより、CuにZrが含有された銅合金よりなる埋め込み配線を形成する埋め込み配線形成工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、埋め込み配線を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】0.18μm世代以降のシリコン基板上に形成されたLSIにおいては、トランジスタの高速化に対して配線のCR成分による遅延が無視できなくなってきたため、配線材料として、導電性の高い金属つまり比抵抗の小さい金属を用いることが好ましい。そこで、A1配線(比抵抗3μohm·cm)に代えて、より低抵抗なCu配線(比抵抗1.7μohm·cm)を用いる検討が進んでいる。

【0003】また、LSIを構成する素子の微細化に伴って金属配線を流れる電流の密度が世代ごとに増加しているため、電流印加時に金属配線を構成する金属原子が電子に押されて移動して、金属配線が断線してしまうエレクトロマイグレーションという現象に対しても、その耐性を高めていく必要がある。CuはAlに比べて融点が高いため、変形すなわち原子の移動が起こりにくいうことが期待されており、エレクトロマイグレーション耐性も高いことが期待されている。

【0004】

【発明が解決しようとする課題】ところが、Cuよりなる金属配線は、導電率については極めて優れているが、配線幅がより微細になると、エレクトロマイグレーション耐性という点では問題が残ると考えられる。例えば、0.3μm幅程度の微細な金属配線では、エレクトロマイグレーション耐性が悪化すると報告されている[Y. Igarashi et al, VLSI Symp., p. 76, 1996]。従って、A1配線の場合と同様、合金化によってエレクトロマイグレーション耐性を向上させることが検討されている。

【0005】そこで、配線材料として、Cu-Mg合金[T. Tatewaki et al, IEDM., p. 293, 1995]、Cu-Zr合金[Y. Igarashi et al, VLSI Symp., p. 76, 1996]、Cu-Sn合金等が提案されている。

【0006】しかしながら、Cu-Mg合金、Cu-Zr合金又はCu-Sn合金等の銅合金よりなる配線は、エレクトロマイグレーション耐性という点では優れているが、導電率という点では問題が残る。

【0007】前記に鑑み、本発明は、導電率の向上とエレクトロマイグレーション耐性の向上との両立を図ること

50

とができる配線材料を提供することにより、導電率及びエレクトロマイグレーション耐性に優れた埋め込み配線を有する信頼性の高い半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本願発明者は、引張り強さの大きい材料はエレクトロマイグレーション耐性にも優れているはずであると考えた。その理由は、銅合金配線に電流を流したときに、銅合金配線を構成する銅原子が移動する結果として、銅原子が増加した部位では圧縮応力が増加する一方、銅原子が減少した部位においては引張り応力が発生し、銅原子が減少した部位において銅合金配線が断線するのである。従って、引張り強さが大きい銅合金はエレクトロマイグレーション耐性が優れているはずである。そこで、引張り強さ及び導電率の両方に優れた銅合金を配線材料として用いると、導電率及びエレクトロマイグレーション耐性に優れた信頼性の高い銅合金配線が得られる筈であるとの結論に達したのである。

【0009】各種の銅合金のうち、引張り強さ及び導電率の両方に優れた銅合金を探し求めたところ図8に示すデータ（坂井他、までりあ、p.692、1997）を見出した。図8に示す特性図によると、Cu-Nb合金、Cu-Ag合金及びCu-Al₂O₃合金は、各種の銅合金のうち、引張り強さ及び導電率の両方に優れた銅合金であることを見出した。尚、図8において、% IACSは、純銅の導電率に対する導電率の割合を示している。

【0010】以上の検討から分かるように、CuにNb、Ag又はAl₂O₃が含まれた銅合金を用いて埋め込み配線を形成すると、導電率及びエレクトロマイグレーション耐性に優れた信頼性の高い半導体装置が得られるのである。

【0011】本発明に係る半導体装置の製造方法は、半導体基板上に堆積された層間絶縁膜に配線用凹部を形成する凹部形成工程と、配線用凹部の壁面にCuにAg、Nb又はAl₂O₃が含有された第1の金属膜を形成する第1の金属膜形成工程と、第1の金属膜の上にCu又はCuを主成分とする第2の金属膜を形成する第2の金属膜形成工程と、半導体基板に対して熱処理を行なって第1の金属膜に含有されているAg、Nb又はAl₂O₃を第2の金属膜に拡散させることにより、CuにAg、Nb又はAl₂O₃が含有された銅合金による埋め込み配線を形成する埋め込み配線形成工程とを備えている。

【0012】本発明の半導体装置の製造方法によると、層間絶縁膜に形成された配線用凹部の壁面にCuにAg、Nb又はAl₂O₃が含有された第1の金属膜を形成した後、該第1の金属膜の上にCu又はCuを主成分とする第2の金属膜

膜を形成し、その後、熱処理を行なって第1の金属膜に含有されているAg、Nb又はAl₂O₃を第2の金属膜に拡散させるため、CuにAg、Nb又はAl₂O₃が含有された銅合金よりなる埋め込み配線を形成することができる。

【0013】ところで、Cu又はCuを主成分とする銅系の金属膜はドライエッチングが困難であるため、埋め込み配線は、層間絶縁膜に配線用凹部を形成しておいてから、配線用凹部に銅系の金属膜を埋め込むダマシン法によって形成されることが多いが、本発明の半導体装置の製造方法によると、CuにAg、Nb又はAl₂O₃が含有された銅合金よりなる埋め込み配線をダマシン法により形成することができる。また、配線用凹部の下側にコンタクトホールを形成しておいてから、コンタクトホール及び配線用凹部の両方に同時に金属膜を埋め込むようになると、デュアルダマシン法によって銅合金よりなるコンタクト及び埋め込み配線を同時に形成することができる。

【0014】本発明の半導体装置の製造方法において、20 第1の金属膜形成工程は、配線用凹部を含む層間絶縁膜の上に全面に亘って第1の金属膜を堆積する工程を含み、第2の金属膜形成工程は、第1の金属膜の上に全面に亘って第2の金属膜を堆積する工程を含み、埋め込み配線形成工程は、層間絶縁膜の上に露出している第1の金属膜及び第2の金属膜を除去する工程を含むことが好ましい。

【0015】本発明の半導体装置の製造方法において、第1の金属膜形成工程は、スパッタ法により第1の金属膜を堆積する工程を含み、第2の金属膜形成工程は、CVD法又はメッキ法により第2の金属膜を堆積する工程を含むことが好ましい。

【0016】ところで、デザインルールが0.18μmの世代では、コンタクトホールが0.25μm径で且つ0.8μm程度の深さになり、配線用凹部についても0.5μm程度の深さが必要になると予測される。このような微細な配線構造をデュアルダマシン法を用いて形成しようとすると、深さが1.3μm程度で径が0.25μm程度の孔（アスペクト比が5程度の孔）に銅合金を埋め込む必要がある。ところが、現在の技術によると、CVD法及びメッキ法では純銅の金属膜を堆積することはできるが銅合金の金属膜を堆積することはできない。また、スパッタ法によると銅合金の金属膜を堆積することはできるが、アスペクト比の高い配線用凹部に堆積しようとするとオーバーハングが発生してしまうため、アスペクト比の高い配線用凹部にスパッタ法により金属膜を埋め込むことは困難である。

【0017】ところが、第1の金属膜形成工程がスパッタ法により第1の金属膜を堆積する工程を含み、第2の金属膜形成工程がCVD法又はメッキ法により第2の金属膜を堆積する工程を含むと、配線用凹部の壁面にCu

にAg、Nb又はAl₂O₃が含有された第1の金属よりなる第1の金属膜をスパッタ法により形成した後、Cu又はCuを主成分とする第2の金属よりなる第2の金属膜を段差被覆性に優れたCVD法又はメッキ法により堆積するので、配線用凹部に第1の金属膜及び第2の金属膜を埋め込むことができる。

【0018】本発明の半導体装置の製造方法において、第1の金属膜形成工程がスパッタ法により第1の金属膜を堆積する工程を含み、第2の金属膜形成工程がCVD法又はメッキ法により第2の金属膜を堆積する工程を含む場合には、CuにAg、Nb又はAl₂O₃が含有された銅合金に代えて、Cu-Sn合金、Cu-Mg合金又はCu-Zr合金を用いてもよい。

【0019】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態に係る半導体装置における銅合金配線及びその製造方法について、図1(a)～(c)及び図2(a)、(b)を参照しながら説明する。

【0020】まず、図1(a)に示すように、半導体基板101の上に堆積された層間絶縁膜102にコンタクトホール103及び配線用凹状溝104を形成する。コンタクトホール103の径は0.25μm程度とする。

【0021】次に、図1(b)に示すように、コンタクトホール103及び配線用凹状溝104を含む層間絶縁膜102の上に全面に亘って、半導体基板101との密着性を向上させる下層のTi膜及びCuの層間絶縁膜102及び半導体基板101への拡散を防止する上層のTiN膜よりなるTiN/Ti膜105を堆積する。

【0022】次に、Cu-1重量%Agよりなる銅合金のターゲットを用いるスパッタ法により、TiN/Ti膜105の上に40nmの膜厚を有する銅合金膜106を堆積する。この場合、スパッタ法は一般に段差被覆性が良くないので、銅合金膜106によって、0.25μm程度の径の小さいコンタクトホール103及び配線用凹状溝104を完全に埋め込むことはできない。その理由は、スパッタ法により銅合金膜106を堆積すると、径の小さいコンタクトホール103の開口部の近傍において銅合金膜106がオーバーハングしてしまうからである。

【0023】そこで、前記のスパッタ法の後に段差被覆性に優れたCVD法又はメッキ法を行なって、図1(c)に示すように、銅合金膜106の上に、例えば銅合金膜106の約11倍の厚さ(480nm)を有する銅膜107を堆積する。これにより、コンタクトホール103及び配線用凹状溝104は銅合金膜106及び銅膜107によって完全に埋め込まれる。CuのCVD法では表面の平坦性を向上させるために、また、メッキ法として電解メッキを用いる場合には下地に低抵抗なCu膜が必要するために、CVD法又はメッキ法では銅合金膜106を下地に用いることが必要である。

【0024】次に、400℃程度の熱処理を行なって、銅合金膜106のAgをCu膜107に拡散させることにより、図2(a)に示すように、Cu-0.085重量%Agよりなる銅合金膜108を形成する。

【0025】ところで、銅合金膜108におけるAgの含有量については、500℃程度の温度下ではCu中のAgの固溶限は1重量%程度であり、Agをそれ以上含有させるとAgを主成分とする相が銅合金膜108中に局所的に析出する恐れがある。従って、半導体プロセスにおける熱処理の温度は500℃以下であることを考えると、Agの含有量としては1重量%以下が好ましい。

【0026】次に、TiN/Ti膜105及び銅合金膜108に対して例えばCMP法を行なって、層間絶縁膜102の上に露出しているTiN/Ti膜105及び銅合金膜108を除去することにより、図2(b)に示すように、銅合金膜108よりなるコンタクト109及び埋め込み配線110を形成する。その後、埋め込み配線110及び層間絶縁膜102の上に全面に亘って、埋め込み配線110を構成するCuの上方への拡散を防止する塗布シリコン膜111を堆積する。

【0027】第1の実施形態において形成したCu-0.085重量%Agよりなる銅合金膜108の再結晶温度は、純銅の再結晶温度である250℃よりも高くて400℃である(堀ほか、日本金属学会誌、p1223, 1981)。再結晶温度が高いということは塑性変形し難いということであるから、銅合金膜108はヒロシク及びボイドが生じ難いので、エレクトロマイグレーション耐性が向上することが裏付けられている。

【0028】また、Cu-0.085重量%Agよりなる銅合金膜108においては、Agの濃度は50ppm程度であるため、銅合金膜108の電気伝導率は純銅とほぼ同等の1.7μohm·cmである(J.S.Smart et al., Trans. AIME, 147(1942), 48)。従って、銅合金膜108の電気伝導率は純銅に比べて低下しない。これに対して、既に知られているCu-Zr合金膜よりなる埋め込み配線では、Zrが50ppm程度添加されると電気伝導度が2.2μohm·cmに上昇してしまうと共に、ZrとCuとが反応してCu_xZr_x化合物を作り易いという問題があるので、第1の実施形態のように、Cu-Agよりなる銅合金膜108の方が有利である。

【0029】以上説明したように、銅合金膜108よりなる埋め込み配線110は導電性及びエレクトロマイグレーション耐性の両方において優れている。

【0030】ところで、現在の技術では、CVD法又はメッキ法によってCu-Agよりなる銅合金膜を堆積することができないと共に、スパッタ法によって径の小さいコンタクトホールに銅合金膜を完全に埋め込むことはできない。そこで、第1の実施形態においては、スパッタ法によりCu-1重量%Agよりなる銅合金膜106を薄く堆積すると共に銅合金膜106の上にCVD法又

はメッキ法により銅膜107を厚く堆積した後、熱処理を施して銅合金膜106のAgを銅膜107に拡散させることにより、Cu-0.085重量%Agよりなる銅合金膜108を形成している。

【0031】また、スパッタ法により堆積した銅合金膜106は(111)面に配向する性質があるため、銅合金膜106上にCVD法又はメッキ法により堆積される銅膜107は、下地の影響を受けて(111)面に配向する。従って、面内原子間隔が銅合金膜106の(111)面とほぼ等しい銅膜107をCVD法又はメッキ法により堆積することができる。また、CuはAlと同じfcc結晶であるため、最密面である(111)面が断線のきっかけとなり易いが、銅膜107の(111)面が半導体基板11の主面と平行に配向しているので、銅合金膜108よりなる埋め込み配線110は断線し難くなり、エレクトロマイグレーション耐性がさらに向上するという利点もある。

【0032】尚、第1の実施形態においては、Cu-1重量%Agよりなる銅合金膜106と銅膜107とをほぼ完全に反応させて、Cu-0.085重量%Agよりなる銅合金膜108を形成したが、Cu-1重量%Agよりなる銅合金膜106を堆積する代わりに、TiN/Ti膜105を構成する上層のTiN膜にAgを含有させてもよい。この場合には、銅膜107をスパッタ法により堆積された下層の銅膜とCVD法又はメッキ法により堆積された上層の銅膜とから構成することが膜堆積工程上好ましい。

【0033】また、層間絶縁膜202及び半導体基板201の表面をアンモニアプラズマ等で処理してCuの拡散を防止しておけば、TiN/Ti膜105のような拡散防止膜を堆積しなくてもよい。

【0034】また、第1の実施形態においては、銅合金膜106として、新規に提案したCu-Ag合金を用いたが、導電率が多少低くなつてもよい場合には、Cu-Sn合金、Cu-Mg合金又はCu-Zr合金等を用いてもよい。

【0035】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置における銅合金配線及びその製造方法について、図3(a)～(c)及び図4(a)～(c)を参照しながら説明する。

【0036】まず、図3(a)に示すように、半導体基板201の上に堆積された層間絶縁膜202にコンタクトホール203及び配線用凹状溝204を形成する。コンタクトホール203の径は0.25μm程度とする。

【0037】次に、図3(b)に示すように、コンタクトホール203及び配線用凹状溝204を含む層間絶縁膜202の上に全面に亘って、半導体基板201との密着性を向上させる下層のTi膜及びCuの層間絶縁膜202及び半導体基板201への拡散を防止する上層のTiN膜よりなるTiN/Ti膜205を堆積する。

【0038】次に、純銅よりなるターゲットを用いるスパッタ法により、TiN/Ti膜205の上に下層の銅膜206を堆積した後、CVD法又はメッキ法により、図3(c)に示すように、下層の銅膜206の上に上層の銅膜207を堆積する。この場合、下層の銅膜206と上層の銅膜207との膜厚としては925nmとする。これにより、コンタクトホール203及び配線用凹状溝204は下層及び上層の銅膜206、207により完全に埋め込まれる。

10 【0039】次に、スパッタ法により、図4(a)に示すように、上層の銅膜207の上に例えば75nmの膜厚を有するニオブ膜208を堆積する。

【0040】次に、ニオブ膜208の表面酸化を防ぐため、水素を含んだ還元雰囲気中で400°C程度の熱処理を行なつて、ニオブ膜208のNbを下層及び上層の銅膜206、207に拡散させることにより、図4(b)に示すように、Cu-7.2重量%Nbよりなる銅合金膜209を形成する。この場合、下層及び上層の銅膜206、207の膜厚が925nm、ニオブ膜208の膜厚が75nmであつて、Cuの密度が8.93、Nbの密度が8.56であるから、体積比×密度の積の割合に基づき、銅合金膜209はCu-7.2重量%Nbとなる。

【0041】ところで、銅合金膜209におけるNbの含有量については、500°C程度の温度下ではCu中のNbの固溶限は0.4重量%程度であり、Nbをそれ以上含有させるとNbを主成分とする相が銅合金膜209中に局所的に析出する恐れがある。従つて、半導体プロセスにおける熱処理の温度は500°C以下であることを考慮すると、Nbの含有量としては0.4重量%以下が好ましい。

【0042】次に、TiN/Ti膜205及び銅合金膜209に対して例えばCMP法を行なつて、層間絶縁膜202の上に露出しているTiN/Ti膜205及び銅合金膜209を除去することにより、図4(c)に示すように、銅合金膜209よりなるコンタクト210及び埋め込み配線211を形成する。その後、埋め込み配線211及び層間絶縁膜202の上に全面に亘つて、埋め込み配線211を構成するCuの上方への拡散を防止する窒化シリコン膜212を堆積する。

【0043】Cu-7.2重量%Nbよりなる銅合金膜209の電気伝導率は純銅よりも若干高い2.0μohm·cm程度である(K.R.Karasek et al., J. Appl.Phys.52(1991), 1370)。しかも、図8の特性図に示されるように、Cu-Nb膜は引っ張り強さが大きくてエレクトロマイグレーション耐性も強くなるものと考えられる。従つて、銅合金膜209よりなる埋め込み配線211は導電性及びエレクトロマイグレーション耐性の両方において優れている。

50 【0044】第2の実施形態においては、段差被覆性に

優れたCVD法又はメッキ法により堆積した平坦な上層の銅膜207の上にニオブ膜208を堆積するため、ニオブ膜208の膜厚を大きくできるので、ニオブ膜208を構成するNbを確実に下層及び上層の銅膜206、207に拡散させることができる。

【0045】尚、第2の実施形態においては、下層及び上層の銅膜206、207を構成するCuとニオブ膜208を構成するNbとをほぼ完全に反応させて、Cu-7.2重量%Nbよりなる銅合金膜209を形成したが、これに代えて、熱処理後にニオブ膜208が残存するようにもしても、該ニオブ膜208を銅合金膜209と共にCMP法により除去することができる。

【0046】また、層間絶縁膜202及び半導体基板201の表面をアンモニアプラズマ等で処理してCuの拡散を防止しておけば、TiN/Ti膜205のような拡散防止膜を堆積しなくてもよい。

【0047】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置における銅合金配線及びその製造方法について、図5(a)～(d)及び図6(a)～(c)を参照しながら説明する。

【0048】まず、図5(a)に示すように、半導体基板301の上に堆積された層間絶縁膜302にコンタクトホール303及び配線用凹状溝304を形成する。コンタクトホール303の径は0.25μm程度とする。

【0049】次に、図5(b)に示すように、コンタクトホール303及び配線用凹状溝304を含む層間絶縁膜302の上に全面に亘って、半導体基板301との密着性を向上させる下層のTi膜及びCuの層間絶縁膜302及び半導体基板301への拡散を防止する上層のTiN膜よりなるTiN/Ti膜305を堆積する。

【0050】次に、スペッタ法により、TiN/Ti膜305の上に下層の銅膜306を堆積した後、CVD法又はメッキ法により、図5(c)に示すように、下層の銅膜306の上に上層の銅膜307を堆積する。これにより、コンタクトホール303及び配線用凹状溝304は下層及び上層の銅膜306、307により完全に埋め込まれる。

【0051】次に、TiN/Ti膜305、下層及び上層の銅膜306、307に対して例えばCMP法を行なって、層間絶縁膜302の上に露出しているTiN/Ti膜305、下層及び上層の銅膜306、307を除去した後、硝酸によるウェットエッチングを上層の銅膜307に対して行なって、図5(d)に示すように、上層の銅膜307の上に空間部を形成する。

【0052】次に、無電解めつき法等により、図6(a)に示すように、上層の銅膜307の上に選択的に銀膜308を堆積する。

【0053】次に、銀膜308の表面酸化を防ぐため、水素を含んだ還元雰囲気中で400℃程度の熱処理を行なって、銀膜308のAgを下層及び上層の銅膜306

6、307に拡散させることにより、図6(b)に示すように、Cu-0.1重量%Agよりなる銅合金膜309を形成すると共に、該銅合金膜309よりなるコンタクト310及び埋め込み配線311を形成する。この場合、Cu-0.1重量%Agよりなる銅合金膜309が形成されるように、下層及び上層の銅膜306、307と銀膜308との膜厚を調整する。

【0054】次に、図6(c)に示すように、埋め込み配線311及び層間絶縁膜302の上に全面に亘って、埋め込み配線311を構成するCuの上方への拡散を防止する窒化シリコン膜312を堆積する。

【0055】第3の実施形態によると、熱処理により反応させる領域が上層の銅膜307と選択的に堆積された銀膜308とに限られるので、層間絶縁膜302の上に堆積された膜をCMP法により除去する工程が容易になる。

【0056】尚、第3の実施形態においては、上層の銅膜307の上に選択的に銀膜308を堆積したが、これに代えて、全面に亘って銀膜308を堆積した後、熱処理を行なって銅合金膜309を形成し、その後、残存する銀膜308をCMP法により除去してもよい。

【0057】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体装置における銅合金配線及びその製造方法について、図7(a)～(c)を参照しながら説明する。

【0058】まず、第3の実施形態と同様にして、半導体基板401の上に堆積された層間絶縁膜402にコンタクトホール及び配線用凹状溝を形成した後、コンタクトホール及び配線用凹状溝を含む層間絶縁膜402の上に全面に亘ってTiN/Ti膜405を堆積する。次に、スペッタ法により、TiN/Ti膜405の上に下層の銅膜406を堆積した後、CVD法又はメッキ法により、下層の銅膜406の上に上層の銅膜407を堆積し、その後、TiN/Ti膜405、下層及び上層の銅膜406、407に対して例えばCMP法を行なって、図7(a)に示すように、層間絶縁膜402の上に露出しているTiN/Ti膜405、下層及び上層の銅膜406、407を除去する。

【0059】次に、図7(b)に示すように、上層の銅膜407及び層間絶縁膜402の上に全面に亘ってアルミナ膜408を堆積する。

【0060】次に、熱処理を行なって、アルミナ膜408を構成するAl₂O₃を下層及び上層の銅膜406、407に拡散させて、図7(c)に示すように、Cu-Al₂O₃よりなる銅合金膜409を形成すると共に、該銅合金膜409よりなるコンタクト410及び埋め込み配線411を形成する。

【0061】第4の実施形態によると、アルミナ膜408が絶縁性を有しているので、除去する必要がないと共にアルミナ膜408を層間絶縁膜として用いることがで

きるので、工程数の低減を図ることができる。

【0062】尚、第1～第4の実施形態においては、銅膜107、207、307、407として純銅を用いたが、これに代えて、Cuに他の金属が含まれてなる銅合金を用いてもよい。

【0063】また、TiN/Ti膜105、205、305、405又は銅膜107、207、307、407を選択CVD法によりコンタクトホール103、203、303及び配線用凹状溝104、204、304の内部にのみ堆積してもよいし、TiN/Ti膜105、205、305、405の代わりに、他の拡散防止膜、例えば、Ta膜、TaN膜又はWN膜等を用いてもよい。

【0064】また、コンタクトホール103、203、303及び配線用凹状溝104、204、304の内部への埋め込みが可能であるならば、スパッタ法+リフロー法又はイオンプレーティング法等の他の方法によって、銅膜107、207、307を形成してもよい。

【0065】さらに、上層の銅膜207、307、407を堆積する際に、下地の銅膜を必要としない場合には、下層の銅膜206、306、406を省略してもよい。

【0066】

【発明の効果】本発明の半導体装置の製造方法によると、CuにAg、Nb又はAl₂O₃が含有された銅合金よりなる埋め込み配線をダマシン法又はデュアルダマシン法によって確実に形成することができる。

【図面の簡単な説明】

【図1】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)、(b)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(d)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(c)は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

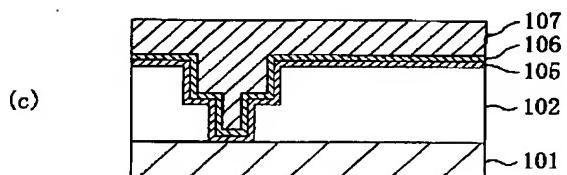
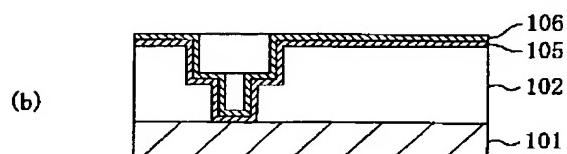
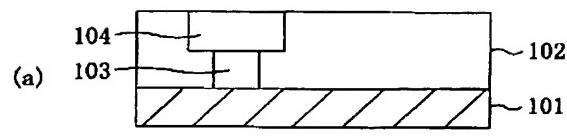
【図8】各種の銅合金の引張り強さ及び導電率を示す特

性図である。

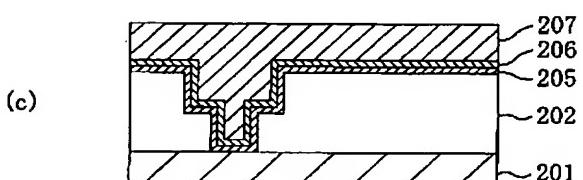
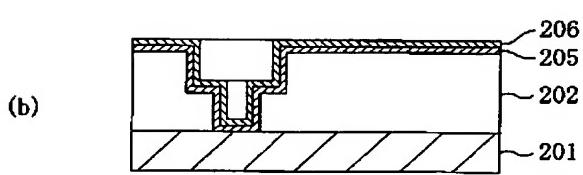
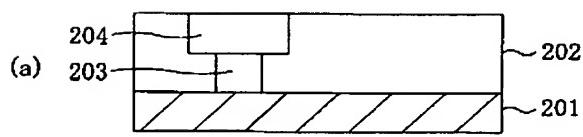
【符号の説明】

101	半導体基板
102	層間絶縁膜
103	コンタクトホール
104	配線用凹状溝
105	TiN/Ti膜
106	銅合金膜
107	銅膜
108	銅合金膜
109	コンタクト
110	埋め込み配線
111	窒化シリコン膜
201	半導体基板
202	層間絶縁膜
203	コンタクトホール
204	配線用凹状溝
205	TiN/Ti膜
206	下層の銅膜
207	上層の銅膜
208	ニオブ膜
209	銅合金膜
210	コンタクト
211	埋め込み配線
212	窒化シリコン膜
301	半導体基板
302	層間絶縁膜
303	コンタクトホール
304	配線用凹状溝
305	TiN/Ti膜
306	下層の銅膜
307	上層の銅膜
308	銀膜
309	銅合金膜
310	コンタクト
311	埋め込み配線
312	窒化シリコン膜
401	半導体基板
402	層間絶縁膜
405	TiN/Ti膜
406	下層の銅膜
407	上層の銅膜
408	アルミナ膜

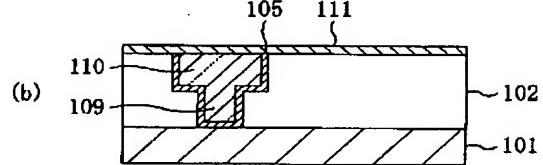
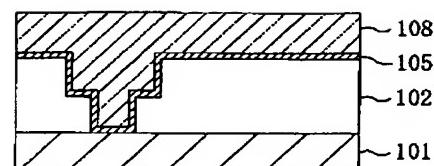
【図1】



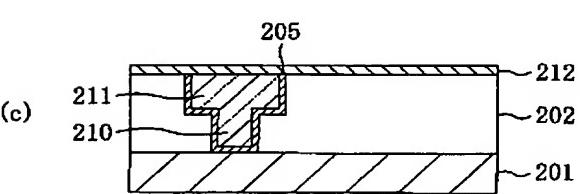
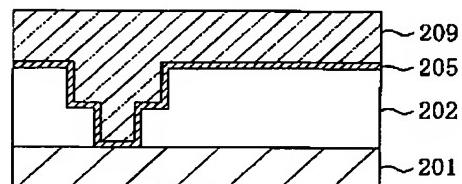
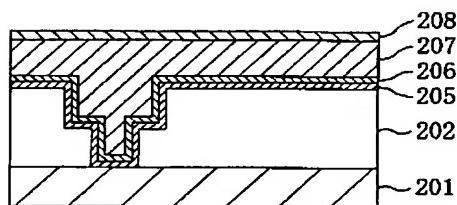
【図3】



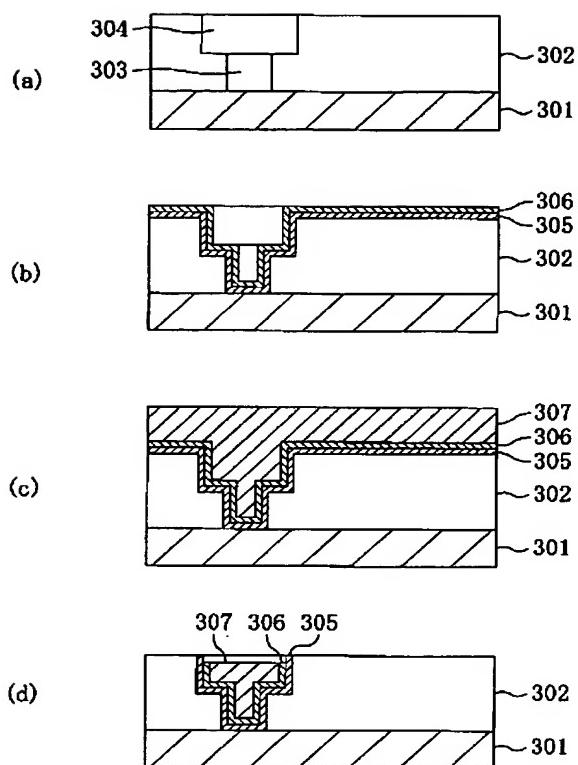
【図2】



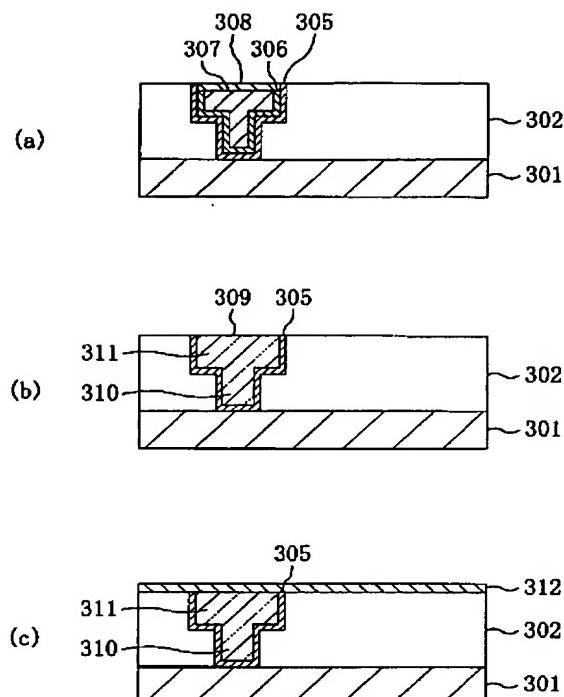
【図4】



[図5]



[6]



[图7]

